

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-46606

(43)公開日 平成8年(1996)2月16日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/033				
G 1 1 B 20/14	3 5 1 Z	9463-5D		
H 0 3 L 7/087				

H 0 4 L 7/ 02	B
H 0 3 L 7/ 08	P
審査請求 未請求 請求項の数 6	FD (全 13 頁)

(21)出願番号 特願平6-196106

(22)出願日 平成6年(1994)7月28日

(71)出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72)発明者 榊野 陽一

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(72)発明者 日暮 誠司

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

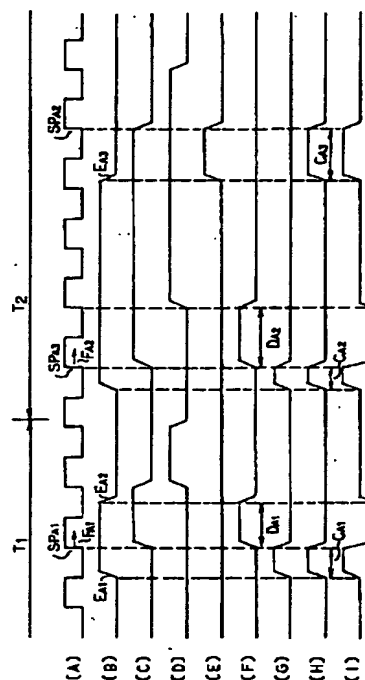
(74)代理人 弁理士 梶原 康稔

(54)【発明の名称】 位相比較回路及びPLL回路

(57)【要約】

【目的】 多値信号波形から良好にクロック信号を生成する。

【構成】 波形等化後の再生信号の検出信号である上データは、図4 (B) に示すようになる。これらと (A) の再生クロックが位相比較される。上データの第1のエッジEA1からストローブポイントSPA1までが (H) のチャージ信号CA1、ストローブポイントSPA1から上データの第2のエッジEA2までが (F) のディスチャージ信号DA1となっている。チャージ信号CA1、ディスチャージ信号DA1をアナログ加算すると、CA1-DA1に対応する差分が生じ、これに基づいて (A) の再生クロックのストローブポイントSPA1が矢印FA1方向に移動するような位相制御が行われる。このようにして、3 値の再生信号に対する再生クロックが得られる。



1

【特許請求の範囲】

【請求項 1】 多値信号波形からいずれか一つのレベルに対する論理値の検出信号を得る検出信号出力手段；前記検出信号のパルスの第 1 のエッジとクロック信号のストロブポイントとの間隔を示す第 1 の制御信号と、第 2 のエッジと該エッジ以前の直近のクロック信号のストロブポイントの間隔を示す第 2 の制御信号とを出力する制御信号検出手段；前記第 1 の制御信号と第 2 の制御信号との差を求めてクロック信号の位相ずれを検出する位相ずれ検出手段；を備えた位相比較回路。

【請求項 2】 多値信号波形からいずれか一つのレベルに対する論理値の検出信号を得る検出信号出力手段；前記検出信号のパルスの第 1 のエッジとクロック信号のストロブポイントとの間隔を示す第 1 の制御信号を出力し、そのストロブポイントから次のストロブポイントまでの間に検出信号の第 2 のエッジがある場合には、そのストロブポイントと第 2 のエッジとの間隔を示す第 3 の制御信号を出力し、第 2 のエッジがない場合には、そのストロブポイントからクロック信号の 1 周期の間隔を示す第 4 の制御信号を出力するとともに、第 2 のエッジとそのエッジの直後に来るストロブポイントとの間隔を示す第 5 の制御信号を出力する制御信号検出手段；前記第 1 の制御信号と第 3 の制御信号との差、あるいは、第 1 及び第 5 の制御信号と第 4 の制御信号との差を求めて、クロック信号の位相ずれを検出する位相ずれ検出手段；を備えた位相比較回路。

【請求項 3】 多値信号波形からいずれか一つのレベルに対する論理値の検出信号を得る検出信号出力手段；前記検出信号のパルスの第 1 のエッジとクロック信号のストロブポイントとの間隔を示す第 1 の制御信号と、第 2 のエッジとそのエッジの直後に来るストロブポイントとの間隔を示す第 5 の制御信号と、クロック信号の 1 周期の間隔を示す第 6 の制御信号とを出力する制御信号検出手段；前記第 1 及び第 6 の制御信号と第 5 の制御信号との差を求めて、クロック信号の位相ずれを検出する位相ずれ検出手段；を備えた位相比較回路。

【請求項 4】 多値信号波形の複数のレベルにそれぞれ対応する複数の検出信号出力手段を備え、これらによってそれぞれ得られた検出信号に対して前記制御信号検出手段が前記検出動作を行う請求項 1、2、又は 3 記載の位相比較回路。

【請求項 5】 前記位相ずれ検出手段は、前記制御信号検出手段から次の制御信号が入力されるまで、検出した位相ずれの値をホールドするチャージポンプ手段である請求項 1、2、3、又は 4 記載の位相比較回路。

【請求項 6】 請求項 1、2、3、4、又は 5 記載の位相比較回路を用いた PLL 回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、VTR、ディスク

2

レーヤ、あるいは通信機器などの電子機器において、多値信号波形からタイミング抽出のためのクロックを得る場合に好適な位相比較回路及び PLL 回路に関するものである。

【0002】

【背景技術と発明が解決しようとする課題】 多値信号から情報を識別するためのクロック信号を得る背景技術としては、特開平 2-156475 号公報に開示された「デジタル信号の記録再生装置」がある。これは、記録再生におけるエラーの低減、再生信号の品質向上を目的としたもので、通常再生か特殊再生かの再生状態に応じてイコライザ回路の特性を切り換えるようにしたものである。

【0003】 特開平 3-16337 号公報には、「タイミング抽出方式およびそれを利用した通信システム」が開示されている。この背景技術は、高速伝送を行うことを目的としたもので、N 値信号から N-1 種類のゼロクロスタイミングが弁別され、更にそのタイミングに同期した 1 つのクロックが選択される。

【0004】 また、特開平 4-60905 号公報には、伝送路を狭帯域化してコスト低減を図ることを目的とした「デジタル磁気記録再生装置」が開示されている。これは、低コストで安定にクロックを生成することを目的としたもので、積分信号の零クロス検出を含めた 3 つのコンパレータの出力から PLL 回路のクロックが得られる。

【0005】 ところで、パーシャルレスポンスクラス 4 検出などの 3 値検出を行う場合には、「PCM-VTR 実験機の試作」（電子情報通信学会技術報告 MR 79-8）の例に見るように、データ検出用の経路とクロック生成用の経路を別々に持っている。図 11 にはその様子が示されており、アンプ 900 で増幅された入力再生信号は、波形等化器 902 による波形等化の後、パーシャルレスポンス検出器 904、クロック生成回路 906 にそれぞれ供給される。D-フリップフロップ 908 では、クロック生成回路 906 から供給された抽出クロックに基づいてデータ抽出が行われる。このように、矢印 F1 で示すデータ検出用経路と、矢印 F2 で示すクロック生成用経路とが別々となっている。

【0006】 これは、3 値の信号から直接的にクロックの位相を定めるような信号を得ることが困難であることが理由である。このため、クロックの生成用に例えば信号を積分して 2 値に変換し、ゼロクロスコンパレータなどを行うことにより、パーシャルレスポンス検出器の入力信号とは違った形の信号に変換してクロックを生成している。

【0007】 その結果、前記 F1、F2 の経路間に回路遅延の影響で位相のずれが生じるため、ディレイラインを挿入するなどして位相ずれを補正する必要が生ずる。更に、可変速再生時にデータレートが変化すると、固定

3

の補正量では最適のストロブ点にロックさせることが困難となるという不都合もある。

【0008】このように、各種の手法が提案されているが、多値に等化される信号から直接クロックを再生することは、非常に困難を伴う。特に、3値程度あればともかく、それ以上の多値の場合にも適用できる有効な手法が要望されるに至っている。この発明は、以上の点に着目したもので、多値信号波形から直接クロックを生成でき、位相ずれ補正を必要としないPLLなどに好適な位相比較回路及びPLL回路を提供することを、その目的とするものである。

【0009】

【課題を解決するための手段と作用】前記目的を達成するため、この発明は、まず、多値信号波形からいずれか1つのレベルに対する論理値が検出される。次に、この検出信号とクロック信号との位相を比較し、各検出信号のパルスの第1のエッジとクロック信号のストロブポイントの間隔を示す第1の制御信号、第2のエッジとその直近のストロブポイントとの間隔を示す第2の制御信号をそれぞれ得る。

【0010】そして、得られた第1の制御信号と第2の制御信号との差からクロック信号の位相ずれを検出する。PLL回路では、この位相ずれに基づいてクロック信号の位相が制御される。他の発明によれば、多値信号波形から複数のレベルに対する論理値が検出される。更に他の発明によれば、各制御信号はチャージポンプ手段に供給され、これによって位相ずれが検出される。この発明の前記及び他の目的、特徴、利点は、次の詳細な説明及び添付図面から明瞭になろう。

【0011】

【好ましい実施例の説明】この発明の位相比較回路及びPLL回路には数多くの実施例が有り得るが、ここでは適切な数の実施例を示し、詳細に説明する。

<実施例1>図1には、実施例1の主要部が示されている。この例は、デジタル磁気記録VTRのデータ検出にパルシャルレスポンス検出クラス4（PR4）を用いた場合の適用例である。

【0012】同図において、テープ10に記録された信号は、再生ヘッド12によって読み出されるようになっている。再生ヘッド12の信号出力側は、再生アンプ14を介して波形等化器16に接続されている。波形等化器16の出力側は、一方においてディレイライン18に接続されており、他方においてアナログ加算器20に接続されている。ディレイライン18の出力側はアナログ加算器20に接続されており、その出力側は信号検出器22、24にそれぞれ接続されている。信号検出器22、24の出力側は、PLL回路26及び信号再生回路28にそれぞれ接続されている。

【0013】次に、PLL回路26の入力側には、位相比較器30、32が設けられている。位相比較器30、

4

32のチャージ信号Cの出力側はORゲート34に接続されており、デイスチャージ信号Dの出力側はNORゲート36に接続されている。これらORゲート34、NORゲート36の出力側はアナログ加算器38に接続されており、これらによってチャージポンプ回路40が構成されている。アナログ加算器38の出力側はループフィルタ42に接続されている。このループフィルタ42の出力側はVCO（電圧制御発振器）44に接続されており、このVCO44の出力側が位相比較器30、32、信号再生回路28のクロック入力側にそれぞれ接続されている。

【0014】以上の各部のうち、ディレイライン18は、入力信号をクロック周期だけ遅延して出力するためのものである。アナログ加算器20は、入力信号をアナログ的に加算するためのもので、この加算によって得られる信号は、情報の伝送点で3値をとる。図2には、その様子が示されている。波形等化器16の出力が、例えば同図（A）に示すような信号波形であるとする、アナログ加算器20の出力は、同図（B）に示すような3値レベルの信号になる。この3値の信号レベルを+A、0、-Aとすると、テープ10に対する信号の記録側におけるプリコードの操作により、±Aは2値デジタル信号の論理値「H」に、0は2値デジタル信号の論理値「L」に、それぞれ対応している。

【0015】信号検出器22は、入力3値信号の+Aを検出するためのものである。図2に一例を示す。同図中、（A）は波形等化後の信号波形であり、アナログ加算器20の出力は同図（B）に示すようになる。この

（B）の加算信号を+Aスライスレベルでコンパレートすることで、同図（C）に示す上データが得られる。また、信号検出器24は、入力3値信号の-Aを検出するためのものである。同図（B）の加算信号を-Aスライスレベルでコンパレートすることで、同図（D）に示す下データが得られる。

【0016】次に、PLL回路26の位相比較器30、32は、図3に示すような構成となっている。なお、位相比較器30、32は同様の構成である。また、D-FFの2つの出力をQ、QN（Qの反転）と表現する。同図において、信号検出器22又は24から出力された上データ又は下データは、バッファ50に入力されるようになっている。このバッファ50の正転出力側は、D-フリップフロップ（以下「D-FF」と略称する）52のD入力に供給されている。D-FF52のD入力及びQ出力はANDゲート54に接続されており、D入力及びQN出力はANDゲート56に接続されている。

【0017】D-FF52のQ出力は、D-FF58のD入力に接続されている。このD-FF58のD入力及びQ出力、及びバッファ50の半転出力側は、ANDゲート60に接続されている。D-FF58のQN出力は、ANDゲート54の出力とともにANDゲート62

5

に接続されている。このANDゲート62の出力がディスチャージ信号出力となっている。他方、ANDゲート56及び60の出力は、ORゲート64に接続されている。このORゲート64の出力がチャージ信号出力となっている。PLL回路26のVCO42から供給される再生クロックは、D-FF52、58のクロック入力に接続されている。

【0018】次に、図4を参照しながら、位相比較器30、32の動作を説明する。なお、両者の動作は同様であるので、位相比較器30を代表して説明する。同図

(A)は再生クロック、同図(B)は信号検出器22から供給された上データである。この上データがバッファ50を介してD-FF52に供給されると、再生クロックのストロブポイント(立上がりタイミング)でラッチされるので、D-FF52のQ出力は同図(C)に示すようになる。これがD-FF58にラッチされるので、D-FF58のQ出力は同図(D)に示すようになる。

【0019】この結果、ANDゲート56の出力は、同図(B)と(C)の反転値とのANDをとって同図

(G)に示すようになる。ANDゲート54の出力は、同図(B)と(C)のANDをとったものとなる。また、ANDゲート62の出力は、同図(D)の反転値とANDゲート54の出力とのANDをとって、同図

(F)に示すようになり、これが、ディスチャージ信号D1となる。他方、ANDゲート60の出力は、同図

(B)の反転値、(C)、(D)のANDをとって同図(E)に示すようになる。このため、ORゲート64の出力は、同図(E)と(G)のORをとって、同図

(H)に示すようになる。これが、チャージ信号C1となる。

【0020】このようなチャージ信号C1、ディスチャージ信号D1が、位相比較器30から出力される。このため、チャージポンプ回路40の出力は、同図(I)に示すようになる。他の位相比較器32でも、信号検出器24から出力された下データに対して同様の処理が行われ、チャージ信号C2、ディスチャージ信号D2がそれぞれ出力される。

【0021】図1に戻って、チャージポンプ回路40は、具体例を示すと図10に示すように構成されている。同図において、ORゲート34から出力されるチャージ信号は、バッファBA、抵抗Rを介して差動増幅器40Aの反転入力側に供給されている。ORゲート36から出力されるディスチャージ信号は、インバータBN、抵抗Rを介して差動増幅器40Aの反転入力側に供給されている。他方、差動増幅器40Aの非反転入力側にも、バッファBA、抵抗Rと、インバータBN、抵抗Rの並列回路が接続されているが、それらはアースされている。

【0022】差動増幅器40Aの反転入力側と出力との

6

間にはコンデンサCが接続されており、積分回路が構成されている。つまり、チャージポンプ回路40では、積分値に対してチャージ信号が+に作用し、ディスチャージ信号が-に作用するようになっている。次に、信号再生回路28は、信号検出器22、24によって検出された上データ及び下データのORの演算をPLL回路26の再生クロックに基づいて行うことで、2値デジタル信号を復元するための回路である。

【0023】次に、以上のような構成の実施例1の動作を説明する。PRクラス4の場合、再生ヘッド12でテープ10から再生された信号は、再生アンプ14で増幅される。この信号は、波形等化器16で波形等化された後、ディレイライン18でクロック周期Tだけ遅延された信号とアナログ加算器20で加算される。加算信号は、信号検出器22、24に供給され、ここで図2に示したように上データ、下データが検出される。検出された上データ、下データは、PLL回路26の位相比較器30、32にそれぞれ入力される。

【0024】位相比較器30、32では、図4に示した動作が行われる。

(1) 区間T1: ストロブポイントから次のストロブポイントまでの間に上データ、下データの第2のエッジがある場合

すなわち、上データ、下データ中のパルスが短く、再生クロックのストロブポイントを1つのみ含むような場合である。図4(B)の上データの最初のパルスについてみると、上データの第1のエッジEA1からストロブポイントSPA1までが、同図(H)に示すようにチャージ信号CA1となっており、ストロブポイントSPA1から上データの第2のエッジEA2までが、同図(F)に示すようにディスチャージ信号DA1となっている。

【0025】このようにして得られたチャージ信号、ディスチャージ信号は、アナログ加算器38に供給される。再生信号と再生クロックとの間に位相(周波数)ずれがあるような場合は、チャージ信号とディスチャージ信号との間に差(面積の差)が生ずるようになる。この差分は、ループフィルタ42を介してVCO44に供給され、差分に応じた位相(周波数)の制御が行われる。

【0026】図示の例では、チャージ信号CA1、ディスチャージ信号DA1をアナログ加算すると、CA1-DA1に対応する差分が生じ、これに基づいて同図(A)の再生クロックのストロブポイントSPA1が矢印FA1方向に移動するような位相制御が行われる。このようにして、3値の再生信号に対する再生クロックが良好に得られる。

【0027】(2) 区間T2: ストロブポイントから次のストロブポイントまでの間に上データ、下データの第2のエッジがない場合

すなわち、上データ、下データ中のパルスが長く、再生クロックのストロブポイントを2つ以上含むような場

10

20

30

40

50

7

合である。この場合は、上述したT1のような手法では良好に再生クロックの位相ずれ（周波数ずれ）を検出することができない。

【0028】そこで、この場合は、まず上述したようにしてディスチャージ信号DA2、チャージ信号CA2が生成される（同図（F）、（H）参照）。なお、ディスチャージ信号DA2は、同図（A）に示す再生クロックの1周期となっている。この動作の後に、同図（B）に示すように上データの第2のエッジEA3が来るので、そのエッジから直後のストロブポイントSPA2までを示すチャージ信号CA3を発生する（同図（H）参照）。

【0029】このようにして得られたチャージ信号、ディスチャージ信号は、アナログ加算器38に供給される。ディスチャージ信号DA2は、再生クロックの1周期分となっている。このため、ディスチャージ信号DA2とチャージ信号CA3との差分は、再生クロックの第2のエッジEA3における上データの位相ずれに対応するようになる。アナログ加算器38では、更にチャージ信号CA2が考慮されて上データの前後のエッジを考慮した再生クロックの位相ずれが得られる。

【0030】すなわち、チャージ信号CA2、CA3、ディスチャージ信号DA2をアナログ加算すると、CA2+CA3-DA2に対応する差分が生じ、これに基づいて同図

（A）の再生クロックのストロブポイントSPA3が矢印FA2方向に移動するような位相（周波数）制御が行われる。下データに対しても、位相比較器32で同様の動作が行われる。

【0031】このようにして、再生信号から良好に得られた再生クロックは、一方において位相比較回路30、32に供給されるとともに、他方では信号再生回路28に供給される。信号再生回路28では、入力された上データ、下データに対してORの演算が行われるとともに、フリップフロップによって再生クロックのストロブポイントでラッチされ、データが再生される。

【0032】以上のように、実施例1によれば、次のような効果がある。

（1）検出信号の第1のエッジのみならず、第2のエッジの位相情報に基づいてクロック信号を常に生成しているので、いずれか一方のエッジの位相情報のみを用いるものと比較して、安定したクロック信号の再生が可能となる。

（2）データ生成用、クロック生成用の経路を単一にすることができ、簡単な回路構成となり、安価である。

【0033】（3）クロックのストロブポイントを基準に位相エラー情報を生成しているため、データ周期間隔の中心でストロブポイントを得ることができるので、入力データに基づくストロブポイント調整用の手段を必要とすることなく、安定したクロック再生が可能である。

【0034】（4）データ生成、クロック生成が同一経

8

路で行われるので、従来方式のように複数経路による位相ずれが生じない。このため、複数経路間の位相ずれを補正する手段を必要とせず、より正確なクロック生成が可能となる。

（5）多値信号波形の複数のレベルにそれぞれ対応する検出信号に基づいて位相情報を得ることとしているため、単一のレベルに対応する検出信号に基づいて位相情報を得る場合と比較して多くの位相情報を得ることができ、安定した再生クロックを短いロックインタイムで得ることが可能である。

【0035】（6）PLLにチャージポンプを使用しているので、可変速再生において、入力データレートが基準値より多少変化しても、その変化に応じてクロック周波数及びストロブポイントが自動で追従して良好なクロック生成を行うことが可能である。更に、データ反転期間が長くなっても位相ずれ情報が保持されているので、良好なクロック再生が可能である。

【0036】＜実施例2＞次に、図5及び図6を参照しながら実施例2について説明する。この実施例2は、図1に示した位相比較器30、32を図5に示すような構成としたもので、他の部分は実施例1と同様である。なお、両者の動作は同様であるので、位相比較器30を代表して説明する。図5において、信号検出器22又は24から出力された上データ又は下データは、バッファ100に入力されるようになっている。このバッファ100の正転出力側は、D-FF102のD入力に供給されている。D-FF102のD入力及びQN出力はANDゲート104に接続されている。

【0037】D-FF102のQ出力は、D-FF106のD入力に接続されている。このD-FF106のD入力及びQN出力側は、ANDゲート108に接続されている。このANDゲート108の出力がディスチャージ信号出力となっている。他方、バッファ100の反転出力及びD-FF102のQ出力側は、ANDゲート110に接続されている。そして、ANDゲート104、110の出力側がORゲート112に接続されており、このORゲート112の出力がチャージ信号出力となっている。PLL回路26のVCO42から供給される再生クロックは、D-FF102、106のクロック入力に接続されている。

【0038】次に、図6を参照しながら、実施例2の位相比較器30、32の動作を説明する。なお、両者の動作は同様であるので、位相比較器30を代表して説明する。まず、全体動作の概略から説明する。同図（A）は再生クロック、同図（B）は信号検出器22から供給された上データである。この上データがバッファ100を介してD-FF102に供給されると、再生クロックのストロブポイントでラッチされるので、D-FF102のQ出力は同図（C）に示すようになる。これがD-FF106にラッチされるので、D-FF106のQ出

9

力は同図 (D) に示すようになる。

【0039】この結果、ANDゲート104の出力は、同図 (B) と (C) の反転値とのANDをとって同図 (E) に示すようになる。ANDゲート110の出力は、同図 (B) の反転値と (C) のANDをとったもので、同図 (F) に示すようになる。これら、(E)、(F) のORをとったものがチャージ信号C1となる。

また、ANDゲート108の出力は、同図 (C) と同図 (D) の反転値とのANDをとって、同図 (G) に示すようになり、これが、ディスチャージ信号D1となる。

【0040】このようなチャージ信号C1、ディスチャージ信号D1が、位相比較器30から出力される。このため、チャージポンプ回路40の出力は、同図 (H) に示すようになる。他の位相比較器32でも、信号検出器24から出力された下データに対して同様の処理が行われ、チャージ信号C2、ディスチャージ信号D2がそれぞれ出力される。

【0041】次に、実施例2の動作について更に詳細に説明する。なお、実施例1と対応して区間T1、T2毎に説明するが、この実施例2では両者の動作は実質的に同じである。

【0042】(1) 区間T1：ストローブポイントから次のストローブポイントまでの間に上データ、下データの第2のエッジがある場合

すなわち、上データ、下データ中のパルスが短く、再生クロックのストローブポイントを1つのみ含むような場合である。図6 (B) の上データの最初のパルスについてみると、上データの第1のエッジEB1からストローブポイントSPB1までが、同図 (E) に示すようにチャージ信号CB1となっており、ストローブポイントSPB1から1再生クロック分が、同図 (G) に示すようにディスチャージ信号DB1となっている。そして、上データの第2のエッジEB2からストローブポイントSPB2までが、同図 (F) に示すようにチャージ信号CB2となっている。

【0043】このようにして得られたチャージ信号、ディスチャージ信号の差分がチャージポンプ回路40からループフィルタ42を介してVCO44に供給され、差分に応じた位相 (周波数) の制御が行われる。図示の例では、チャージ信号CB1、CB2、ディスチャージ信号DB1をアナログ加算すると、 $CB1 + CB2 - DB1$ に対応する差分が生じ (同図 (H) 参照)、これに基づいて同図

(A) の再生クロックのストローブポイントSPB1が矢印FB1方向に移動するような位相制御が行われる。このようにして、3値の再生信号に対する再生クロックが良好に得られる。

【0044】(2) 区間T2：ストローブポイントから次のストローブポイントまでの間に上データ、下データの第2のエッジがない場合

すなわち、上データ、下データ中のパルスが長く、再生

10

クロックのストローブポイントを2つ以上含むような場合である。上データの第1のエッジEB3に対するチャージ信号CB3、ディスチャージ信号DB2の生成は上述した区間T1と同様である。しかし、上データのパルスが長いため、その第2のエッジEB4に対するチャージ信号CB4の生成タイミングが遅れることになる。しかし、チャージポンプ回路出力としては、前記区間T1の場合と同様である。

【0045】<実施例3>次に、図7及び図8を参照しながら実施例3について説明する。この実施例は、前記実施例2とはほぼ同様であり、ディスチャージ信号の生成タイミングが多少個となるのみである。この実施例3でも、同様に位相比較器30を代表して説明する。

【0046】図7において、信号検出器22又は24から出力された上データ又は下データは、バッファ200に入力されるようになっている。このバッファ200の正転出力側は、D-FF202のD入力に供給されている。D-FF202のD入力及びQN出力はANDゲート204に接続されている。

【0047】D-FF202のQ出力は、D-FF206のD入力に接続されている。D-FF202のQN出力及びD-FF206のQ出力側は、ANDゲート208に接続されている。このANDゲート208の出力がディスチャージ信号出力となっている。他方、バッファ200の反転出力及びD-FF202のQ出力側は、ANDゲート210に接続されている。そして、ANDゲート204、210の出力側がORゲート212に接続されており、このORゲート212の出力がチャージ信号出力となっている。PLL回路26のVCO42から供給される再生クロックは、D-FF202、206のクロック入力に接続されている。

【0048】次に、図8を参照しながら、実施例3の位相比較器30、32の動作を説明する。なお、両者の動作は同様であるので、位相比較器30を代表して説明する。同図 (A) は再生クロック、同図 (B) は信号検出器22から供給された上データである。この上データがバッファ200を介してD-FF202に供給されると、再生クロックのストローブポイントでラッチされるので、D-FF202のQ出力は同図 (C) に示すようになる。これがD-FF206にラッチされるので、D-FF206のQ出力は同図 (D) に示すようになる。

【0049】この結果、ANDゲート204の出力は、同図 (B) と (C) の反転値とのANDをとって同図 (E) に示すようになる。ANDゲート210の出力は、同図 (B) の反転値と (C) のANDをとったもので、同図 (F) に示すようになる。これら、(E)、(F) のORをとったものがチャージ信号C1となる。また、ANDゲート208の出力は、同図 (C) の反転値と同図 (D) とのANDをとって、同図 (G) に示すようになり、これが、ディスチャージ信号D1となる。

11

【0050】このようなチャージ信号C1、ディスチャージ信号D1が、位相比較器30から出力される。このため、チャージポンプ回路40の出力は、同図(H)に示すようになる。他の位相比較器32でも、信号検出器24から出力された下データに対して同様の処理が行われ、チャージ信号C2、ディスチャージ信号D2がそれぞれ出力される。

【0051】この図8と、前記図6とを比較すれば明らかのように、この実施例3では、チャージ信号C2とディスチャージ信号D2との生成位置が逆となっており、チャージ信号を生成した後に再生クロック1周期に相当するディスチャージ信号が生成される。チャージ信号C4とディスチャージ信号D2についても同様である。その他の点は、前記実施例と同様である。

【0052】＜実施例4＞次に、図9を参照しながら実施例4について説明する。前記実施例は、いずれも3値等化波形における再生クロック検出の場合の例であるが、例えばパーシャルレスポンス検出(1,1,0,-1,-1)などに代表される多値等化波形であっても、この発明は適用可能である。図9に示すように、多数の信号検出器380a, 380b, ..., 380nと位相比較器382a, 382b, ..., 382nを必要数(n値に対してn-1個)用意し、それらのチャージ信号、ディスチャージ信号をチャージポンプ回路384に供給してアナログ加算するようにする。そして、この加算結果によって前記実施例と同様にPLLを動作させれば、多値波形に対する再生クロックを得ることができる。

【0053】＜他の実施例＞この発明は、以上の開示に基づいて多様に改変することが可能であり、例えば次のようなものがある。

(1) 前記実施例は、この発明をPRクラス4のデータ検出に適用した場合であるが、積分検出(PR(1))や振幅検出(PR(1,-1))の場合などにも応用可能である。すなわち、積分検出の場合には再生信号波形のスライスレベルを1つにすることにより、振幅検出の場合は前記実施例と全く同じ方式でクロックの再生が可能である。

【0054】また、多値信号波形の全ての検出レベルより得られる検出信号に基づいて制御信号(チャージ信号、ディスチャージ信号)を生成する必要はなく、少なくとも1のレベルより得られる検出信号に基づいて制御信号を生成するようにしてもよい。

【0055】(2) 前記実施例は、VTRの再生信号に対してこの発明を適用したものであるが、多値信号であれば、ディスク装置、デジタル伝送など、どのようなものでもよい。また、回路構成も、同様の作用を奏するように設計変更が可能である。

【0056】(3) 前記実施例におけるPLL回路は、再生クロック周波数がデータレートと比較して0.75～1.5倍の範囲内であればロック可能であるが、ロ

12

ックレンジを拡大するとともに、ロックインタイムを短縮すべく周波数検出回路を付加してもよい。具体的には、図10において再生クロックの周波数を検出し、再生クロック周波数が所定範囲より高い場合にはディスチャージ入力をハイレベルとし、再生クロック周波数が所定範囲より低い場合にはチャージ入力をハイレベルとする周波数検出回路を付加してもよい。

【0057】

【発明の効果】以上説明したように、この発明によれば、次のような効果がある。

(1) 検出信号の第1のエッジのみならず、第2のエッジの位相情報に基づいてクロック信号を常に生成しているので、いずれか一方のエッジの位相情報のみを用いるものと比較して、安定したクロック信号の再生が可能となる。

(2) データ生成用、クロック生成用の経路を単一にすることができ、簡単な回路構成となり、安価である。

【0058】(3) クロックのストローブポイントを基準に位相エラー情報を生成しているため、データ周期間隔の中心でストローブポイントを得ることができるので、入力データに基づくストローブポイント調整用の手段を必要とすることなく、安定したクロック再生が可能である。

【0059】(4) データ生成、クロック生成が同一経路で行われるので、従来方式のように複数経路による位相ずれが生じない。このため、複数経路間の位相ずれを補正する手段を必要とせず、より正確なクロック生成が可能となる。

(5) 多値信号波形の複数のレベルにそれぞれ対応する検出信号に基づいて位相情報を得ることとしているため、単一のレベルに対応する検出信号に基づいて位相情報を得る場合と比較して多くの位相情報を得ることができ、安定した再生クロックを短いロックインタイムで得ることが可能である。

【0060】(6) PLLにチャージポンプを使用しているので、可変速再生において、入力データレートが基準値より多少変化しても、その変化に応じてクロック周波数及びストローブポイントが自動で追従して良好なクロック生成を行うことが可能である。更に、データ反転期間が長くなっても位相ずれ情報が保持されているので、良好なクロック再生が可能である。

【図面の簡単な説明】

【図1】この発明の実施例1の構成を示すブロック図である。

【図2】等化信号波形と検出信号波形を示すグラフである。

【図3】実施例1の位相比較回路を示す回路図である。

【図4】実施例1の位相比較回路の動作を示すタイムチャートである。

【図5】実施例2の位相比較回路を示す回路図である。

13

【図 6】実施例 2 の位相比較回路の動作を示すタイムチャートである。

【図 7】実施例 3 の位相比較回路を示す回路図である。

【図 8】実施例 3 の位相比較回路の動作を示すタイムチャートである。

【図 9】実施例 4 の主要部を示すブロック図である。

【図 10】チャージポンプ回路の具体例を示す回路図である。

【図 11】背景技術の一例を示すブロック図である。

【符号の説明】

10…テープ
12…再生ヘッド
14…再生アンプ
16…波形等化器
18…ディレイライン
20…アナログ加算器

14

* 22, 24, 380a~380n…信号検出器 (検出信号出力手段)

26…PLL回路

28…信号再生回路

30, 32, 382a~382n…位相比較器 (制御信号検出手段)

34…ORゲート

36…NORゲート

38…アナログ加算器

10 40, 84…チャージポンプ回路 (位相ずれ検出手段)

42…ループフィルタ

44…VCO

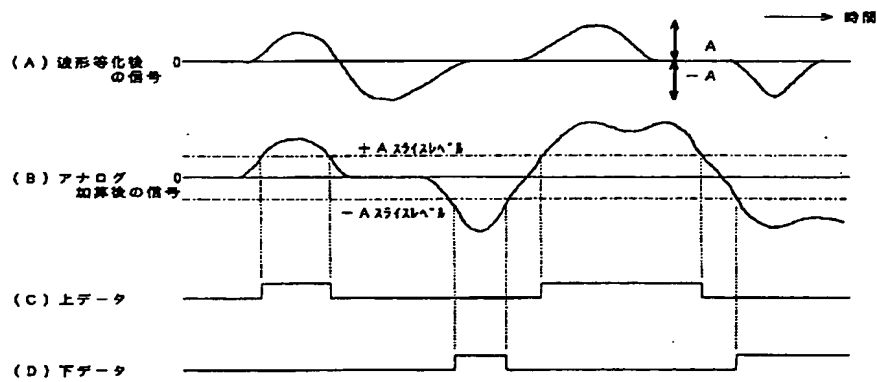
C…チャージ信号

D…ディスチャージ信号

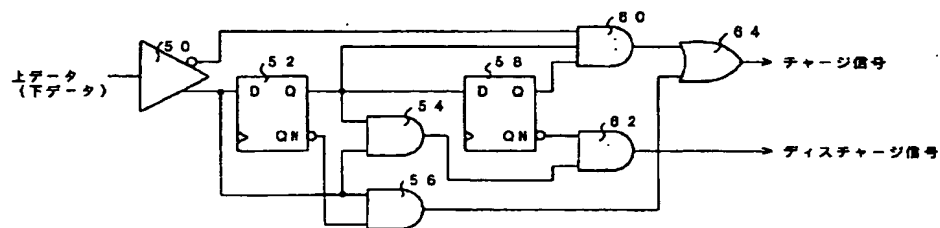
SP…ストロブポイント

*

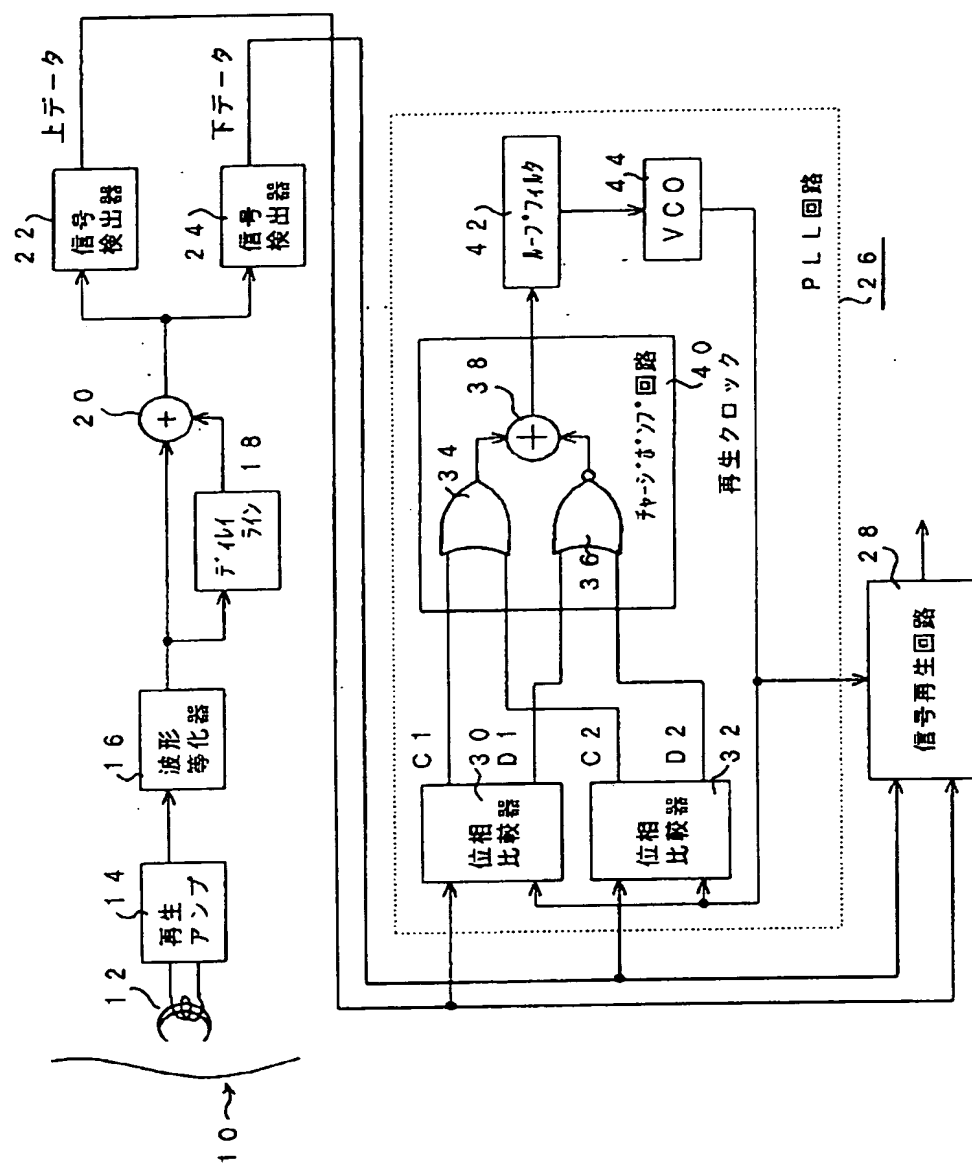
【図 2】



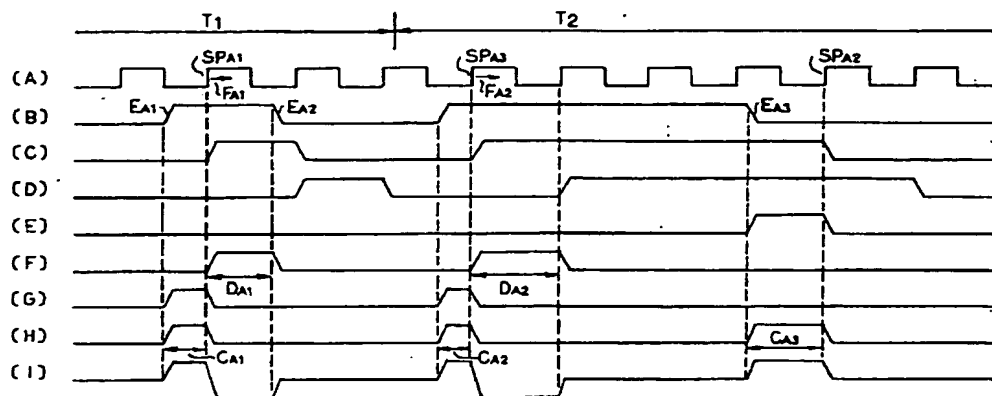
【図 3】



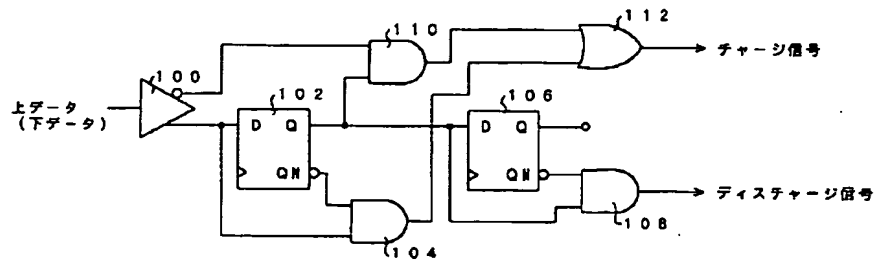
【図1】



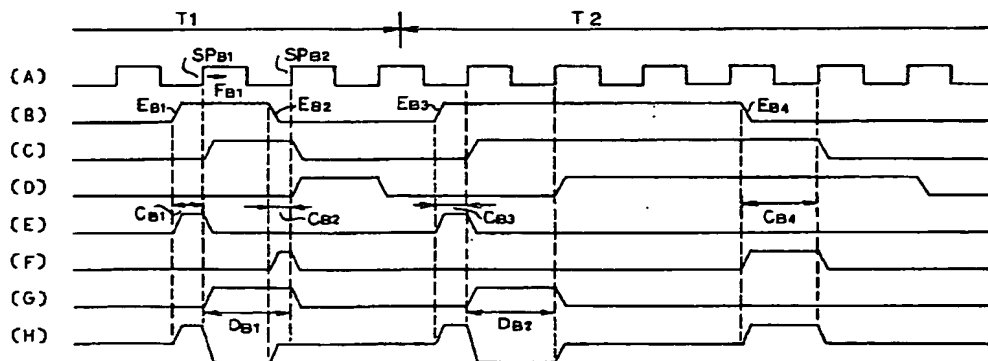
【図 4】



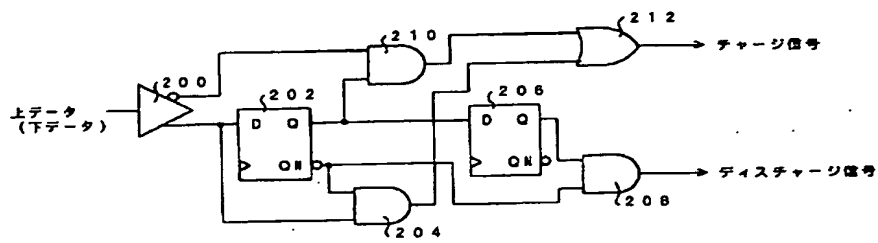
【図 5】



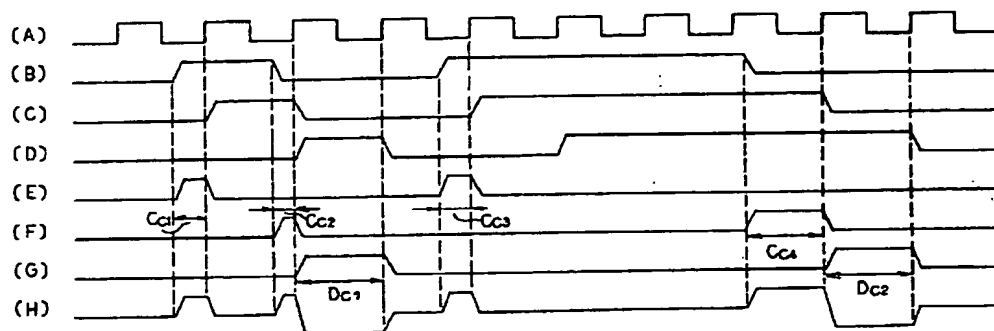
【図 6】



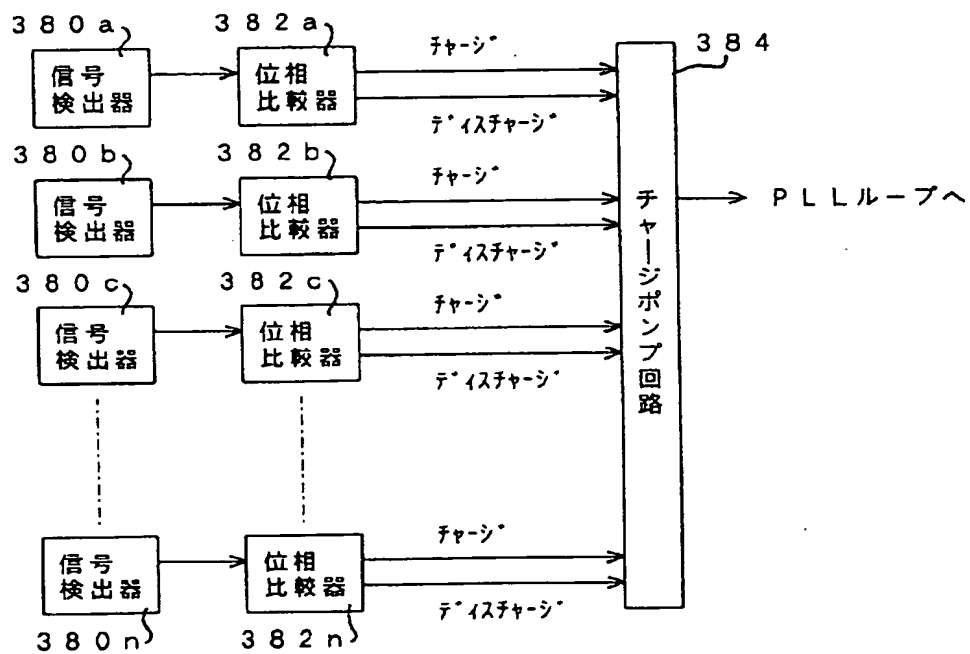
【図 7】



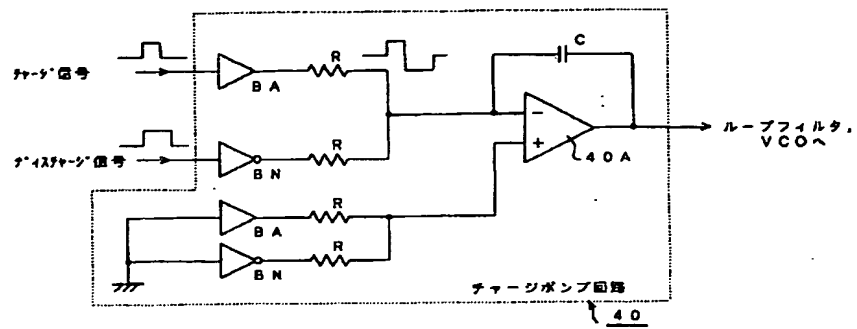
【図 8】



【図 9】



【図 10】



【図 11】

